

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-308254

(43)Date of publication of application : 28.11.1997

(51)Int.Cl.

H02M 7/48

B60L 1/00

B60L 3/04

B60L 9/18

(21)Application number : 08-114036

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.05.1996

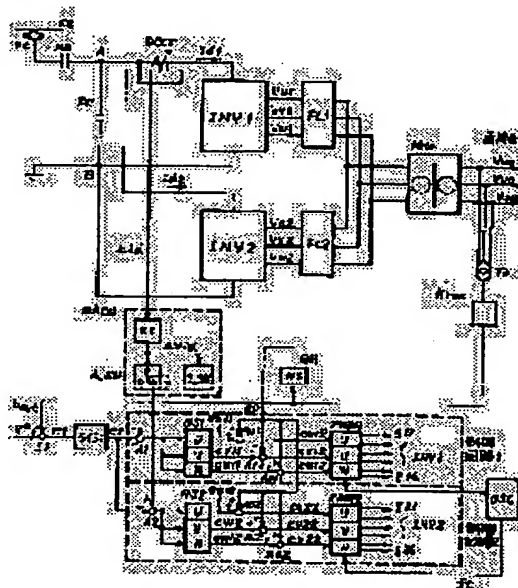
(72)Inventor : MIURA KAZUTOSHI

## (54) AUXILIARY POWER SUPPLY

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To minimize the influence even when a fault occurs by constituting an inverter in a divided manner.

**SOLUTION:** A current detector DCCT detects input current values  $I_{d1}$ ,  $I_{d2}$  to be inputted to inverters INV1, INV2 and then detects a difference . id of the input current values  $I_{d1}$ ,  $I_{d2}$ . When  $I_{d1} < I_{d2}$ , a compensating circuit BACU calculates a compensating signal . Vid proportional to a difference . id for the inverter INV1 and a control circuit 1 controls the inverter INV1 depending on the signal adding the control signal e2 and compensating signal . Vid to control an AC power Vout to become equal to a predetermined value  $V^*$ . A control circuit 2 controls the inverter INV2 depending on the control signal e2 to control an AC power Vout to become equal to the predetermined value  $V^*$ .



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

特開平9-308254

(43)公開日 平成9年(1997)11月28日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M 7/48		9181-5H	H 0 2 M 7/48	D
B 6 0 L 1/00			B 6 0 L 1/00	G
3/04			3/04	B
9/18			9/18	L

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21)出願番号 特願平8-114036

(22)出願日 平成8年(1996)5月9日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 三浦 和敏

東京都府中市東芝町1番地 株式会社東芝  
府中工場内

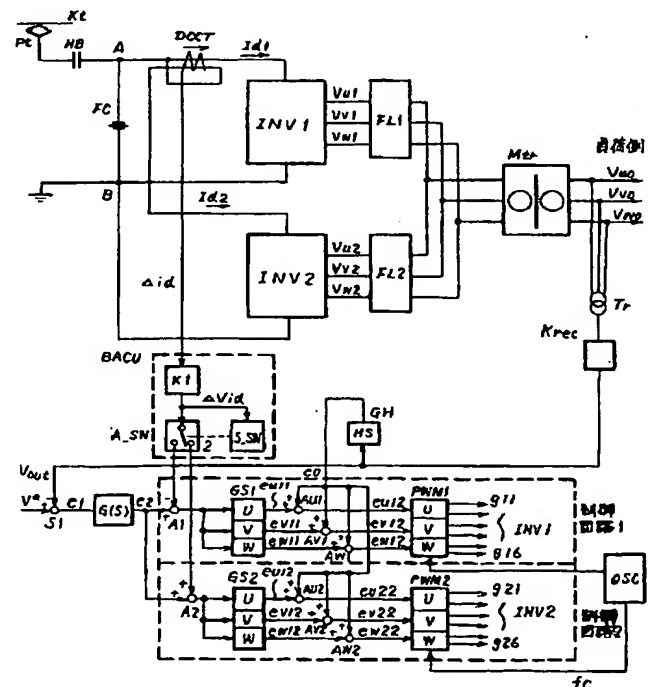
(74)代理人 弁理士 外川 英明

## (54)【発明の名称】 補助電源装置

## (57)【要約】

【課題】 インバータを分割して構成することによって、故障が発生した場合でも、その被害を最小限に止めることを目的とする。

【解決手段】 電流検出器D C C Tは、インバータI N V 1、I N V 2に入力される入力電流値I d1、I d2を各々検出し、これら入力電流値I d1、I d2の差分値 $\Delta id$ を検出する。入力電流値I d1<I d2の時には、補償回路B A C Uは、インバータI N V 1に対して差分値 $\Delta id$ に比例する補償信号 $\Delta Vid$ を演算し、制御回路1は、交流電力Vout が所定値V\* になるように制御する制御信号e 2 と補償信号 $\Delta Vid$ とを加算した信号に基づいて、インバータI N V 1を制御する。制御回路2は、交流電力Vout が所定値V\* になるように制御する制御信号e 2 に基づいて、インバータI N V 2を制御する。



## 【特許請求の範囲】

【請求項1】 入力側が各々並列に接続され、直流電力を交流電力に変換して、この交流電力を共通の負荷に供給する複数台のインバータと、

これら複数台のインバータに入力される入力電流値を各々検出し、これら入力電流値の差分値を検出する電流検出器と、

前記入力電流値が他の前記インバータの入力電流値よりも小さいインバータに対して、前記差分値に比例する補償信号を演算する補償回路と、

前記補償信号と、前記交流電力があらかじめ定められた所定値になるように制御する制御信号とを加算した信号に基づいて、前記複数台のインバータを各々制御する制御回路とを有する補助電源装置。

【請求項2】 入力側が各々並列に接続され、直流電力を交流電力に変換して、この交流電力を共通の負荷に供給する複数台のインバータと、

これら複数台のインバータから出力される出力電流値を各々検出し、これら出力電流値の差分値を検出する電流検出器と、

前記出力電流値が他の前記インバータの出力電流値よりも小さいインバータに対して、前記差分値に比例する補償信号を演算する補償回路と、

前記補償信号と、前記交流電力があらかじめ定められた所定値になるように制御する制御信号とを加算した信号に基づいて、前記複数台のインバータを各々制御する制御回路とを有する補助電源装置。

【請求項3】 請求項1または請求項2に記載の補助電源装置において、前記複数台のインバータの出力と前記負荷との間を接続する変圧器を有する補助電源装置。

【請求項4】 請求項1乃至請求項3のいずれかに記載の補助電源装置において、

前記複数台のインバータの内、故障したインバータの入出力側を切り離す手段を有する補助電源装置。

## 【発明の詳細な説明】

## 【0001】

【発明が属する技術分野】 本発明は直流電力を交流電力に変換する補助電源装置に関する。

## 【0002】

【従来の技術】 図5は、3相の定電圧定周波数の交流電力を出力する補助電源装置の構成を示す図である。図5において、 $K_t$ は架線、 $P_t$ はパンタグラフ、 $H_B$ は高速遮断器、 $F_C$ は直流平滑フィルタコンデンサ、 $INV$ は直流電力を3相の定電圧定周波数の交流電力に変換するPWMインバータ、 $M_{tr}$ は変換器側と負荷側を絶縁するための3相の変圧器、 $FL$ はリアクトル $L$  ( $L_u$ ,  $L_v$ ,  $L_w$ )とコンデンサ $C$  ( $C_u$ ,  $C_v$ ,  $C_w$ )で構成されたフィルタ回路、 $Tr$ は出力電圧を検出する変圧器、 $Q1 \sim Q6$ はスイッチング素子である。

【0003】 又、インバータ $INV$ を制御する制御回路

は、変圧器 $Tr$ で検出された交流電圧を直流電圧信号 $V_{out}$ に変換する変換回路 $K_{rec}$ 、この直流電圧信号 $V_{out}$ と負荷電圧指令値 $V^*$ との偏差 $e1$ を演算する比較器 $s1$ 、この偏差 $e1$ を制御信号 $e2$ に変換する制御補償回路 $G(s)$ 、この制御信号 $e2$ に基づいて3相の正弦波信号 $e_u$ ,  $e_v$ ,  $e_w$ を発生する正弦波発生回路 $G_s$ 、直流電圧信号 $V_{out}$ を出力電圧補償信号 $e0$ に変換する出力電圧補償回路 $GH$ 、正弦波信号 $e_u$ ,  $e_v$ ,  $e_w$ と出力電圧補償信号 $e0$ とを加算する加算器 $A_u$ ,  $A_v$ ,  $A_w$ 、この加算器 $A_u$ ,  $A_v$ ,  $A_w$ の出力信号 $e_{u1}$ ,  $e_{v1}$ ,  $e_{w1}$ を入力するPWM制御回路 $PWM-U$ ,  $PWM-V$ ,  $PWM-W$ 、このPWM制御回路 $PWM-U$ ,  $PWM-V$ ,  $PWM-W$ のキャリア周波数 $f_c$ を与える発信回路 $OSC$ から構成される。

【0004】 比較器 $S1$ は、負荷電圧指令値 $V^*$ と直流電圧信号 $V_{out}$ との偏差 $e1$ を演算し、その偏差 $e1$ は制御補償回路 $G(s)$ で制御信号 $e2$ に変換されて正弦波発生回路 $G_s$ に与えられる。正弦波発生回路 $G_s$ は制御信号 $e2$ に比例した振幅値を持つ3相の正弦波信号 $e_u$ ,  $e_v$ ,  $e_w$ を出力する。各相の正弦波信号 $e_u$ ,  $e_v$ ,  $e_w$ は加算器 $A_u$ ,  $A_v$ ,  $A_w$ によって出力電圧補償回路 $GH$ から出力される出力電圧補償信号 $e0$ と加算される。

【0005】 ここで補償回路 $GH$ は急峻な負荷変動によって発生する電圧変動を抑制する働きをしている。加算器 $A_u$ ,  $A_v$ ,  $A_w$ の出力信号 $e_{u1}$ ,  $e_{v1}$ ,  $e_{w1}$ は各相毎のPWM制御回路 $PWM-U$ ,  $PWM-V$ ,  $PWM-W$ に入力され、発信回路 $OSC$ から出力されるキャリア周波数 $f_c$ と比較される。そしてPWM制御回路 $PWM-U$ ,  $PWM-V$ ,  $PWM-W$ がPWMインバータ $INV$ のスイッチング素子 $Q1 \sim Q6$ にゲート信号 $q1 \sim q6$ を与えることにより、PWMインバータ $INV$ は負荷電圧指令値 $V^*$ に比例した出力電圧 $V_u$ ,  $V_v$ ,  $V_w$ を出力する。

【0006】 そして出力電圧 $V_u$ ,  $V_v$ ,  $V_w$ はフィルタ回路 $FL$ を介して3相出力変圧器 $M_{tr}$ に入力され、3相出力変圧器 $M_{tr}$ から負荷に対して定電圧定周波数の電圧 $V_{u0}$ ,  $V_{v0}$ ,  $V_{w0}$ を供給している。

## 【0007】

【発明が解決しようとする課題】 しかしながら上述した従来の補助電源装置においては、PWMインバータを構成するスイッチング素子は並列接続して使われるために、万一、スイッチング素子の短絡破壊故障が発生すると、周囲の電気部品にもその影響が波及し、故障が拡大すると共に、部品交換や保守に長い時間が必要となるといった問題があった。

【0008】 又補助電源装置の出力は、電気車の駆動電動機に電力を供給する主回路を制御する制御回路の電源としても使われているので、補助電源装置が故障すると、電気車走行に支障をきたすという問題があった。

【0009】そこで本発明は上述した問題点を解決するためになされたもので、補助電源装置のインバータを分割して構成することによって故障が発生した場合でも、その被害を最小限に止め、走行を可能にする補助電源装置を提供することを目的とする。

#### 【0010】

【課題を解決するための手段】上述した目的を達成するために、請求項1に記載の発明は、入力側が各々並列に接続され、直流電力を交流電力に変換して、この交流電力を共通の負荷に供給する複数台のインバータと、これら複数台のインバータに入力される入力電流値を各々検出し、これら入力電流値の差分値を検出する電流検出器と、入力電流値が他のインバータの入力電流値よりも小さいインバータに対して、差分値に比例する補償信号を演算する補償回路と、補償信号と、交流電力があらかじめ定められた所定値になるように制御する制御信号とを加算した信号に基づいて、複数台のインバータを各々制御する制御回路とを有してなる。

【0011】請求項2に記載の発明は、入力側が各々並列に接続され、直流電力を交流電力に変換して、この交流電力を共通の負荷に供給する複数台のインバータと、これら複数台のインバータから出力される出力電流値を各々検出し、これら出力電流値の差分値を検出する電流検出器と、出力電流値が他のインバータの出力電流値よりも小さいインバータに対して、差分値に比例する補償信号を演算する補償回路と、補償信号と、交流電力があらかじめ定められた所定値になるように制御する制御信号とを加算した信号に基づいて、複数台のインバータを各々制御する制御回路とを有してなる。

【0012】請求項3に記載の発明は、請求項1または請求項2に記載の発明において、複数台のインバータの出力と負荷との間を接続する変圧器を有してなる。請求項4に記載の発明は、請求項1乃至は請求項3のいずれかに記載の発明において、複数台のインバータの内、故障したインバータの入出力側を切り離す手段を有してなる。

#### 【0013】

【発明の実施の形態】本発明の実施の形態を図面を参照して詳細に説明する。図1は本発明の第1の実施の形態を示す補助電源装置の構成図である。なお従来と同一の構成については同一の符号を付し、その詳細な説明は省略する。

【0014】インバータINV1、INV2はそれぞれ並列に接続され、図示しないスイッチング素子6個で構成され、直流電力を3相の定電圧定周波数の交流電力に変換する。インバータINV1、INV2の交流出力側にはそれぞれ図示しないリアクトルとコンデンサで構成されたフィルタ回路FL1、FL2が接続されている。そしてフィルタ回路FL1、FL2の出力は3相出力変換器MTrで合成され負荷側とを絶縁する。電流検出器

DCC TはインバータINV1、INV2の入力電流Id1、Id2の差電流 $\Delta id$ を検出する。具体的には電流検出器DCC Tは、インバータINV1の入力電流Id1とインバータINV2の入力電流Id2とが逆方向に入力されるように配置される。電流検出器DCC Tで検出された差電流 $\Delta id$ はバランス制御回路BACUに入力される。このバランス制御回路BACUは増幅器K1、アナログスイッチ回路（以下、スイッチ回路という。）A\_\_SW及び選択回路S\_\_SWから構成される。増幅器K1は差電流 $\Delta id$ を入力して差電流 $\Delta id$ に比例した制御信号 $\Delta Vid$ に変換して出力する。スイッチ回路A\_\_SWと選択回路S\_\_SWは制御信号 $\Delta Vid$ を入力する。選択回路S\_\_SWは制御信号 $\Delta Vid$ が正の場合はスイッチ回路A\_\_SWの端子2側を選択し、制御信号 $\Delta Vid$ が負の場合はスイッチ回路A\_\_SWの端子1側を選択する。又制御信号 $\Delta Vid$ が0の場合は特に出力として問題は生じないので、スイッチ回路A\_\_SWの現在の状態を保持するか、又はどちらの端子を選択してもよい。

【0015】又インバータINV1、INV2をそれぞれ制御する制御回路1、2が備えられている。この制御回路1、2はそれぞれ同じ構成であり、従来と異なる点は制御補償回路G(s)の出力である制御信号e2にスイッチ回路A\_\_SWの出力である制御信号 $\Delta Vid$ を加算する加算器A1、A2を設けたことにある。

【0016】この様に構成された補助電源装置の制御動作について説明する。

#### (1) 負荷分担が等しい場合

インバータINV1、INV2が等しく負荷を分担している場合（負荷側への出力が等しい場合）、インバータINV1、INV2への入力電流Id1、Id2は等しくなる為、電流検出器DCC Tは差電流 $\Delta id$ として0を出力する。従って、バランス制御回路BACUは $\Delta Vid$ として0を出力する。

【0017】その結果、加算器A1、A2の出力は制御補償回路G(s)の出力である制御信号e2をそのまま出力する為、インバータINV1、INV2は等しい電圧を出力する。その結果、インバータINV1、INV2とで負荷が等しく分担することができる。

#### 【0018】(2) 負荷分担がINV1>INV2の場合

インバータINV1、INV2を構成するスイッチング素子の損失、フィルタの損失、又は制御性能等の相違で、インバータINV1、INV2に流れ込む入力電流がId1>Id2の場合、電流検出器DCC Tは差電流 $\Delta id > 0$ （以下、 $+\Delta id$ という。）を出力する。差電流 $+\Delta id$ はバランス制御回路BACUの増幅回路K1で制御信号 $\Delta Vid$ に変換され、スイッチ回路A\_\_SWと選択回路S\_\_SWに入力される。選択回路S\_\_SWは制御信号 $\Delta Vid (> 0)$ が入力されたので、スイッチ回路A\_\_SWを端子2側に切り換える。その結果、制御信号 $\Delta Vid$ は

スイッチ回路A\_\_SWを介して加算器A2に inputs され、制御信号e2と加算される。そして加算器から制御信号( $e2 + \Delta Vid$ )が出力されるので、正弦波発生回路Gs2は正弦波発生回路Gs1よりも $\Delta Vid$ 値だけ大きい振幅値の正弦波信号eu12, ev12, ew12を出力する。

【0019】その結果、インバータINV2の出力電圧Vu2, Vv2, Vw2は大きくなるように制御され、インバータINV1, INV2の負荷分担のバランスを制御することができる。

【0020】(3) 負荷分担がINV1 < INV2の場合

この場合は上記(2)の制御と逆に働いて、インバータINV1, INV2の入力電流が $I_{d1} < I_{d2}$ の場合、電流検出器DCCCTは差電流 $\Delta id < 0$ (以下、 $-\Delta id$ という。)を出力する。

【0021】バランス制御回路BACUでは、スイッチ回路A\_\_SWの端子1側が選択されるため、加算器A1に制御信号 $\Delta Vid (< 0)$ が入力される。加算器A1は、制御信号e2と制御信号 $\Delta Vid (< 0)$ との差、すなわち( $e2 - \Delta Vid$ )を出力する。(実際には $\Delta Vid$ が負の値なので、e2と $\Delta Vid$ の絶対値の加算値となる。)その結果、インバータINV1の出力電圧Vu1, Vv1, Vw1は大きくなるように制御され、インバータINV1, INV2の負荷分担が等しくなるようにすることができる。

【0022】図2は本発明の第2の実施の形態を示す補助電源装置の構成図である。本実施の形態では、それぞれ並列接続されたインバータINV1, INV2において、その出力端に接続されたフィルタ回路FL1, FL2の後段に交流電流検出器CTU, CTV, CTWを設けている。この場合、交流電流検出器CTU, CTV, CTWはインバータINV1, INV2の各相毎に流れる出力電流の瞬時値を比較し、これら出力電流値の差電流 $\Delta iu, \Delta iv, \Delta iw$ を検出する。

【0023】各相毎に検出された差電流 $\Delta iu, \Delta iv, \Delta iw$ は各相毎のバランス制御回路BAU, BAV, BAWに入力される。そしてバランス制御回路BAU, BAV, BAWの出力は、制御回路3の加算器Bu1, Bv1, Bw1, Bu2, Bv2, Bw2で、制御補償回路G(s)から出力された本来の制御信号e2に加算される。

【0024】バランス制御回路BAUは、増幅器K1と、アナログスイッチ回路(以下、スイッチ回路という。)A\_\_SWU及び選択回路S\_\_SWUから構成されている。交流電流検出器CTUで検出された差電流 $\Delta iu$ は増幅回路K1と選択回路S\_\_SWUに入力される。選択回路S\_\_SWUは、差電流 $\Delta iu$ が正の場合はスイッチ回路A\_\_SWUの端子2側を選択し、差電流 $\Delta iu$ が負の場合はスイッチ回路A\_\_SWUの端子1側を選択する。そしてスイッチ回路A\_\_SWUは端子1又は2より増幅器K1を介して得られた制御信号 $\Delta Viu$ を出力する。

【0025】この結果、制御信号 $\Delta Viu$ を本来の制御信号e2に加算することによって、インバータINV1, INV2のU相が負担する負荷を制御できる。同様にバランス回路BAV, BAWも動作する。

【0026】この様に構成された補助電源装置の制御動作についてU相の制御動作を例に説明する。

(1) U相各インバータ出力電流が $I_{u1} = I_{u2}$ の場合  
各インバータ出力電流が $I_{u1} = I_{u2}$ の場合は、交流電流検出器CTUで検出される差電流 $\Delta iu$ は0となる。従って、バランス制御回路BAUから出力される制御信号 $\Delta Viu$ は0となり、制御回路3, 4の加算器BU1, BU2はそのまま制御信号e2を出力することになる。その結果、インバータINV1, INV2の出力電流 $I_{u1}, I_{u2}$ は等しく制御される。

【0027】(2) U相の各インバータ出力電流が $I_{u1} > I_{u2}$ の場合

U相の各インバータ出力電流が $I_{u1} > I_{u2}$ の場合は、交流電流検出器CTUで検出される差電流 $\Delta iu$ は正の電流値となる。この差電流 $\Delta iu$ はバランス制御回路BAUに入力され、選択回路S\_\_SWUではスイッチ回路A\_\_SWUの端子2側を選択する。このため、増幅器K1に入力された差電流 $\Delta iu (> 0)$ は制御信号 $\Delta Viu (> 0)$ に変換された後、スイッチ回路A\_\_SWUを介して加算器BU2に入力される。加算器BU2は( $e2 + \Delta Viu$ )を出力するため、インバータINV2のU相出力は $\Delta Viu$ に比例した分だけ大きい出力電圧を出力し、インバータINV2の出力電流 $I_{u2}$ はインバータINV1の出力電流 $I_{u1}$ とバランスするように制御することができる。

【0028】(3) U相の各インバータ出力電流が $I_{u1} < I_{u2}$ の場合

U相の各インバータ出力電流が $I_{u1} < I_{u2}$ の場合は、交流電流検出器CTUで検出される差電流 $\Delta iu$ は負の電流値となる。この差電流 $\Delta iu$ はバランス制御回路BAUに入力される。選択回路S\_\_SWUでスイッチ回路A\_\_SWUの端子1側を選択する。このため、増幅器K1に入力された差電流 $\Delta iu (< 0)$ は制御信号 $\Delta Viu (< 0)$ に変換された後、スイッチ回路A\_\_SWUを介して加算器BU1に入力される。加算器BU1は( $e2 - \Delta Viu$ )を出力するため、インバータINV1のU相出力は $\Delta Viu$ に比例した分だけ大きい出力電圧を出力し、インバータINV1の出力電流 $I_{u1}$ はインバータINV2の出力電流 $I_{u2}$ にバランスするように制御することができる。(実際には $\Delta Viu$ が負の値なので、e2と $\Delta Viu$ の絶対値の加算値となる。)なお、V相、W相も同様に制御することで、各相のインバータ出力電流がバランス制御される。

【0029】図3、図4は本発明の第3、第4の実施の形態を示す補助電源装置の構成図である。本実施の形態ではインバータINV1, INV2において、各インバ

ータINV1, INV2の入出力側にスイッチSW1～SW4を設置し、どちらかのインバータに故障が発生した場合、故障したインバータを切り離し、正常なインバータから走行運転に最小限必要な電力を供給できるようにしている。また、並列運転されるインバータINV1, INV2が負荷を平均に分担させることができるように、図1に示した第1の実施の形態又は図2に示した第2の実施の形態の構成をも備えている。

【0030】 バランス制御については第1の実施の形態又は第2の実施の形態と同様なので、ここでは故障したインバータの切り離し制御についてのみ説明する。

(1) インバータINV1が故障した場合  
インバータINV1が故障した場合、スイッチSW1, SW2とゲート信号g11～g16を遮断するスイッチSW5を開放する。するとインバータINV1がシステムから切り離され、インバータINV2のみが運転される。その結果、補助電源装置の容量Pは半分になるが走行運転に必要な最小限の容量を確保することができる。

【0031】 (2) インバータINV2が故障した場合  
インバータINV2が故障した場合、スイッチSW3, SW4とゲート信号g21～g26を遮断するスイッチSW6を開放する。するとインバータINV2がシステムから切り離され、インバータINV1のみが運転される。その結果、電力変換器INV1から電力を供給することで走行運転を可能にすることができる。

#### 【0032】

【発明の効果】 以上説明したように本発明によれば、インバータを分割して構成することによって、故障が発生した場合でも、その被害を最小限に止めることができる。又分割されたインバータのバランス制御を行うことができるので、インバータの出力側の並列接続が可能になり、出力変圧器の1次巻線を2個から1個に減らすことが可能になり、補助電源装置の小形化・軽量化をはかることができる。又故障したインバータを切り離すこと

で、正常なインバータから走行に必要な電力を供給することができる。

#### 【図面の簡単な説明】

【図1】 本発明の第1の実施の形態を示す補助電源装置の構成図である。

【図2】 本発明の第2の実施の形態を示す補助電源装置の構成図である。

【図3】 本発明の第3の実施の形態を示す補助電源装置の構成図である。

【図4】 本発明の第4の実施の形態を示す補助電源装置の構成図である。

【図5】 従来の補助電源装置の構成図である。

#### 【符号の説明】

Kt : 直流架線

Pt : バンタグラフ

HB : 高速遮断器

FC : フィルタコンデンサ

INV1, INV2 : インバータ

FL1, FL2 : フィルタ回路

Mtr : 変圧器

Tr : 変圧器

Krec : 変換回路

BACU, BAu, BA<sub>v</sub>, BA<sub>w</sub> : バランス制御回路

S1 : 比較器

AU1, AV1, AW1 : 加算器

BU1, BV1, BW1 : 加算器

BU2, BV2, BW2 : 加算器

G(s) : 制御補償回路

GS : 正弦波発生回路

GH : 補償回路

PWM1, PWM2 : PWM制御回路

CTU, CT<sub>v</sub>, CT<sub>w</sub> : 交流電流検出器

DCCT : 電流検出器

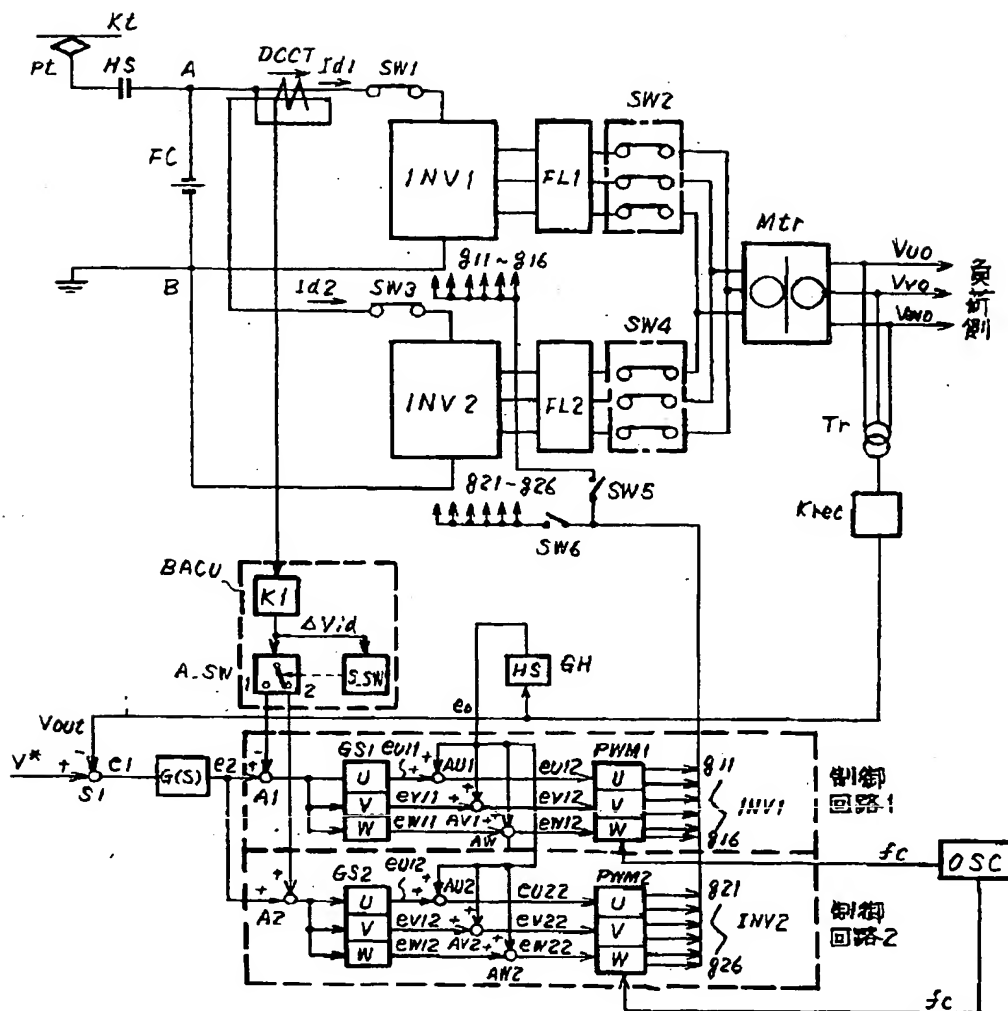
OSC : 発信回路

[illegible]

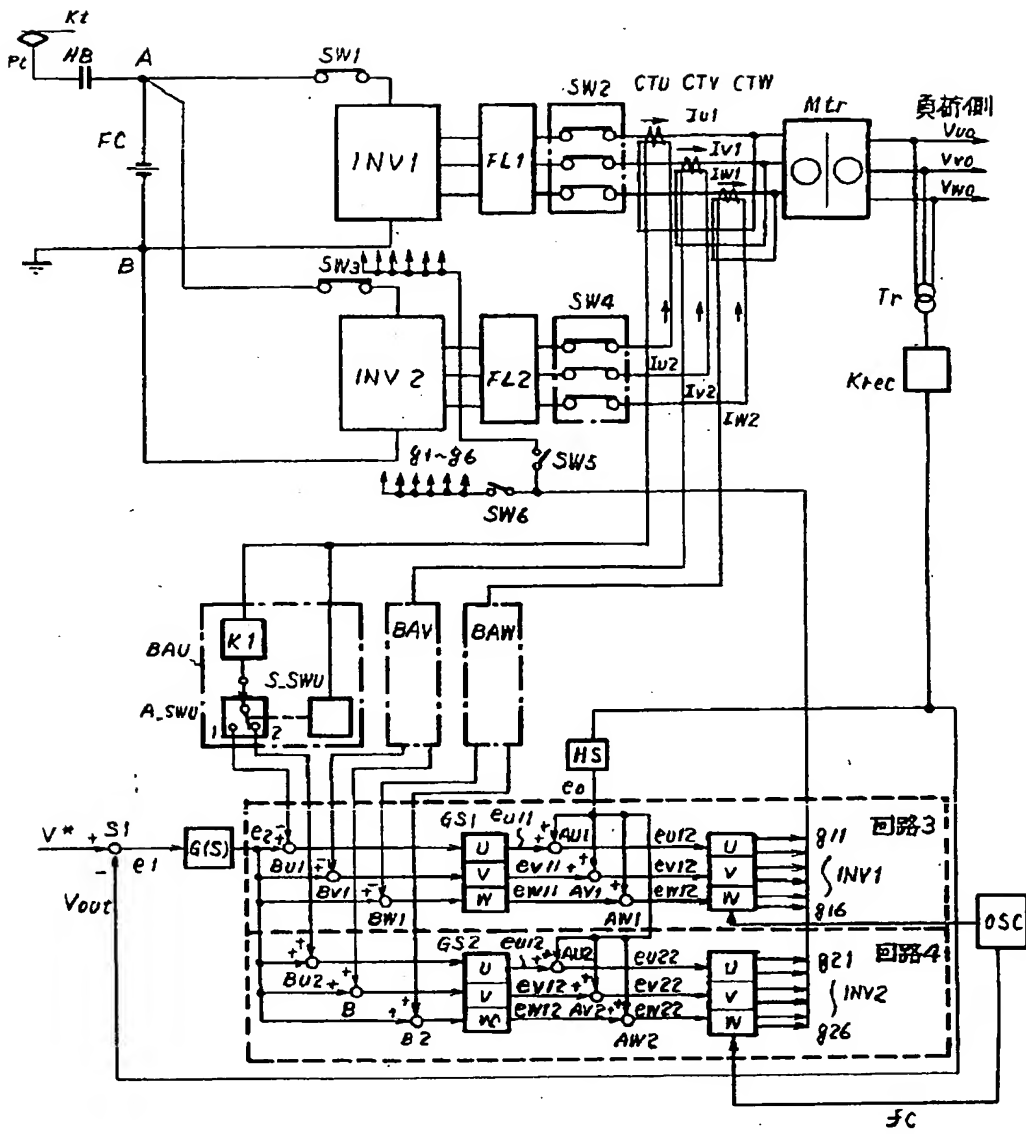




【圖 3】



【圖 4】



【図5】

